

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-162246

(43)Date of publication of application : 23.06.1995

(51)Int.Cl.

H03F 3/45

(21)Application number : 05-302717

(71)Applicant : FUJITSU LTD

(22)Date of filing : 02.12.1993

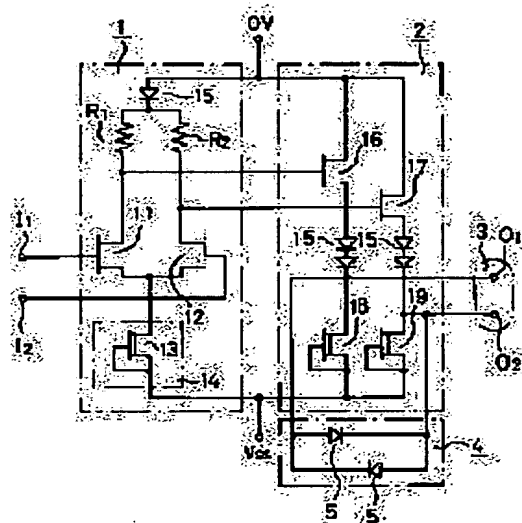
(72)Inventor : KUBOTA MIKI

## (54) DIFFERENTIAL AMPLIFIER CIRCUIT

### (57)Abstract:

**PURPOSE:** To output an output waveform having high voltage gain and reduced in its distortion and to prevent switching speed from being reduced by connecting an output limiting means between an output terminal constituting a complementary output terminal following the current amplification of a complementary output from a differential pair by an output buffer pair and an inverted output terminal.

**CONSTITUTION:** An input is impressed to an input terminal I1 and an inverted input terminal I2 connected to respective gates of MESFETs 11, 12 constituting a differential pair 1. A complementary output from the differential pair 1 is outputted to the drains of the FETs 11, 12. The outputs are DC-amplified by an output buffer pair 2 consisting of FETs 16, 17 and respectively extracted from an output terminal O1 and an inverted output terminal O2 connected to the drains of FETs 18, 19. The terminals O1, O2 constitutes a complementary output terminal 3 of the pair 2. An output limiting means 4 connected between the output terminals O1, O2 limits the amplitude of the complementary output from the pair 2. The means 4 consists of an inverted parallel circuit of Schottky diodes 5 and the output amplitude is limited to the forward voltage  $\bar{A}V$  (about 0.6V) of the diodes 5, so that the complementary output amplitude is limited to  $2 \times \bar{A}V$ .



## LEGAL STATUS

[Date of request for examination] 21.09.2000

[Date of sending the examiner's decision of rejection] 19.03.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2002-06623

[Date of requesting appeal against examiner's decision of rejection] 18.04.2002

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 1 6 2 2 4 6

(43) 公開日 平成 7 年 (1995) 6 月 23 日

(51) Int. Cl. °

H03F 3/45

識別記号

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願平 5 - 3 0 2 7 1 7

(22) 出願日 平成 5 年 (1993) 12 月 2 日

(71) 出願人 0 0 0 0 0 5 2 2 3  
富士通株式会社  
神奈川県川崎市中原区上小田中 1 0 1 5 番  
地

(72) 発明者 久保田 幹  
神奈川県川崎市中原区上小田中 1 0 1 5 番  
地 富士通株式会社内

(74) 代理人 弁理士 寒川 誠一

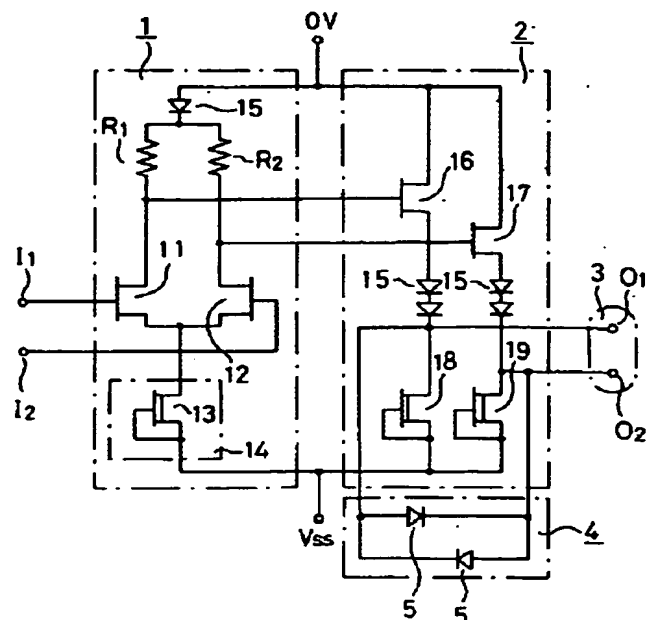
(54) 【発明の名称】 差動増幅回路

(57) 【要約】

【目的】 電圧利得が高く、歪みの少ない出力波形を出力し、スイッチングスピードが低下することがないようにする差動増幅回路の改良である。

【構成】 2 個のトランジスタ 11、12 を有し、トランジスタ 11、12 のそれぞれのソースは相互に接続され、接続点が電流制御手段 14 を介して電流を供給され、トランジスタ 11、12 のそれぞれのゲートに相補信号が入力され、トランジスタ 11、12 のそれぞれのドレインより相補出力を出力する差動対 1 と、差動対 1 の相補出力が入力され、差動対 1 の相補出力のそれぞれを電流増幅する出力バッファ対 2 と、出力バッファ対 2 の相補出力端子 3 を構成する出力端子 O<sub>1</sub>、と反転出力端子 O<sub>2</sub> との相互間に接続され、出力バッファ対 2 の相補出力振幅を制限する出力制限手段 4 とを有する差動増幅回路である。そして、出力制限手段 4 は、2 個のショットキダイオード 5 が逆並列接続されていてもよい。

本発明 (第 1 実施例)



## 【特許請求の範囲】

【請求項 1】 2 個のトランジスタ ( 1 1、1 2 ) を有し、該トランジスタ ( 1 1、1 2 ) のそれぞれのソースは相互に接続され、接続点が電流制御手段 ( 1 4 ) を介して電流を供給され、前記トランジスタ ( 1 1、1 2 ) のそれぞれのゲートに相補信号が入力され、前記トランジスタ ( 1 1、1 2 ) のそれぞれのドレインより相補出力を出力する差動対 ( 1 ) と、

該差動対 ( 1 ) の該相補出力が入力され、該差動対

( 1 ) の相補出力のそれぞれを電流増幅する出力バッファ対 ( 2 ) と、

該出力バッファ対 ( 2 ) の相補出力端子 ( 3 ) を構成する出力端子 ( O<sub>1</sub> ) と反転出力端子 ( O<sub>2</sub> ) との相互間に接続され、前記出力バッファ対 ( 2 ) の相補出力振幅を制限する出力制限手段 ( 4 ) とを有することを特徴とする差動増幅回路。

## 【発明の詳細な説明】

## 【 0 0 0 1 】

【産業上の利用分野】 本発明は、差動増幅回路の改良に関する。特に、電圧利得が高く、歪みの少ない出力波形を出力し、スイッチングスピードが低下することがないようにする改良に関する。

## 【 0 0 0 2 】

## 【従来の技術】 図 5 参照

図 5 はガリウム砒素等の MESFET ( metal semiconductor FET ) を使用した差動対であり、差動増幅回路の基本部分を構成する回路である。図 5 において、1 は差動対である。1 1 と 1 2 とはエンハンスメント形 MESFET からなる第 1 と第 2 の MESFET であり、それぞれのソースは相互に短絡され、ゲートとソースとが短絡された第 3 の MESFET ( ディプレッション形 MESFET ) 1 3 からなる電流制御手段 1 4 を介し、電源の V<sub>DD</sub> に接続されている。第 3 の MESFET 1 3 からなる電流制御手段 1 4 は第 1 と第 2 の MESFET 1 1 と 1 2 とに流れる電流の合計値を定電流化している。R<sub>1</sub> と R<sub>2</sub> とは、それぞれ第 1 の MESFET 1 1 のドレインと第 2 の MESFET 1 2 のドレインとに接続される負荷抵抗であり、これらの負荷抵抗 R<sub>1</sub>、R<sub>2</sub> の他端はショットキダイオード 1 5 を介して電源の 0 V に接続されている。

【 0 0 0 3 】 入力第 1 の MESFET 1 1 のゲートと第 2 の MESFET 1 2 のゲートとにそれぞれ、入力端子 I<sub>1</sub> と反転入力端子 I<sub>2</sub> とから印加され、出力は第 1 の MESFET 1 1 のドレインと第 2 の MESFET 1 2 のドレインとにそれぞれ接続された出力端子 O<sub>1</sub> と反転出力端子 O<sub>2</sub> とから取り出される。出力端子 O<sub>1</sub> と反転出力端子 O<sub>2</sub> とで差動対の相補出力端子 8 が構成されている。

【 0 0 0 4 】 図 5 の差動対 1 において、電圧利得を高めるには、差動対 1 の負荷抵抗 R<sub>1</sub> と R<sub>2</sub> とを大きくする

か、または、電流制御手段 1 4 を構成する第 3 の MESFET 1 3 のゲート幅を大きくするかすればよい。しかし、差動対 1 の負荷抵抗 R<sub>1</sub> と R<sub>2</sub> とを大きくするか、または、電流制御手段 1 4 を構成する第 3 の MESFET 1 3 のゲート幅を大きくするだけでは、差動対 1 の出力特性は図 6 に示すようになってしまう。

## 【 0 0 0 5 】 図 6 参照

図 6 において、実線は電圧利得が低いときの出力特性であり、破線は電圧利得が高いときの出力特性である。すなわち、電圧利得を高めると、差動対 1 の出力特性は円 A の中に示すように、出力が飽和する近辺において折れ曲がった形となり、入力の増加に対して出力は一律に増加せず、出力波形に歪みが出現することとなる。また、矢印 B をもって示すように、出力と反転出力とが非対象になり、不都合である。このような不具合を取り除くため、従来は図 7 に示すようにダイオードを追加していた。

## 【 0 0 0 6 】 図 7 参照

図 7 は図 5 の回路を改良した従来技術に係る差動対の回路図である。すなわち、2 個のショットキダイオード 5 が相互に逆極性になるように並列に接続された ( 以下逆並列接続と云う。 ) 出力制限手段 4 が、出力端子 O<sub>1</sub> と反転出力端子 O<sub>2</sub> との間に接続されている。出力制限手段 4 が接続されていると、ショットキダイオード 5 の順方向電圧により出力振幅が制限される。図 6 の一点鎖線は順方向電圧で出力が飽和した状態を示す ( 図 6 再参照 ) 。このようにショットキダイオード 5 を接続することにより、歪みのない出力を高利得で得ることができ

## 【 0 0 0 7 】

【発明が解決しようとする課題】 ところで、この改良された従来技術に係る差動回路は、差動対をスイッチングさせた時スイッチングスピードが低下すると云う欠点がある。

【 0 0 0 8 】 本発明の目的は、この欠点を解消することであり、歪みのない出力を高利得で得ることができ、しかも、スイッチングスピードが低下するようなことのない差動増幅回路を提供することにある。

## 【 0 0 0 9 】

【課題を解決するための手段】 上記の目的は、2 個のトランジスタ ( 1 1、1 2 ) を有し、このトランジスタ ( 1 1、1 2 ) のそれぞれのソースは相互に接続され、接続点が電流制御手段 ( 1 4 ) を介して電流を供給され、前記のトランジスタ ( 1 1、1 2 ) のそれぞれのゲートに相補信号が入力され、前記のトランジスタ ( 1 1、1 2 ) のそれぞれのドレインより相補出力を出力する差動対 ( 1 ) と、この差動対 ( 1 ) の相補出力が入力され、この差動対 ( 1 ) の相補出力のそれぞれを電流増幅する出力バッファ対 ( 2 ) と、この出力バッファ対 ( 2 ) の相補出力端子 ( 3 ) を構成する出力端子

10

20

30

40

50

3

( $O_1$ ) と反転出力端子 ( $O_2$ ) との相互間に接続され、前記の出力バッファ対 (2) の相補出力振幅を制限する出力制限手段 (4) とを有する差動増幅回路によって達成される。

【0010】そして、前記の出力制限手段 (4) は、2 個のショットキダイオード (5) が逆並列接続されて構成されていると、ショットキダイオードの順方向電圧により出力振幅が制限されるので、波形歪みを防止できる。

【0011】また、前記の出力制限手段 (4) は、複数個を直列接続したショットキダイオード (5) の組が逆並列接続されていると、ショットキダイオードの数だけ出力振幅が大きくなることができる。

【0012】さらに、前記の出力制限手段 (4) は、ショットキダイオード (5) とゲートとソースとが短絡された FET (6) との直列回路が逆並列接続されていると、FET のパラメータを変えることにより、出力振幅を変えることができるので、都合がよい。

【0013】なお、前記の出力制限手段 (4) は、ショットキダイオード (5) と抵抗 (7) との直列回路が逆並列接続されて構成されていると、抵抗値を変えることにより、出力振幅を変えることができるので、都合がよい。

【0014】なおまた、上記の差動増幅回路を使用して差動形分周器を同一基板上に構成すると、高周波の分周が容易にでき都合がよい。

【0015】

【作用】上記の改良された従来技術に係る差動増幅回路は、差動対 1 の相補出力端子 8 相互間に出力制限手段 4 が接続されている。差動対 1 は電圧増幅する能力は高いが、負荷を駆動する能力は低い。出力制限手段 4 は、相補出力電圧がショットキダイオード 5 の順方向電圧を超えると、内部抵抗が急激に低下する。このため、差動対 1 の電流駆動能力が不足していると、差動対 1 のスイッチングスピードを低下させることになる。これに反し、本発明に係る差動増幅回路は、差動対 1 の相補出力をソースフォロア回路等よりなる出力バッファ対 2 を介し電流増幅した後、この出力バッファ対 2 の相補出力端子 3 相互を出力制限手段 4 により接続することによって、電流出力容量の大きい出力バッファ対 2 により出力制限手段 4 を駆動することになる。このため、出力制限手段 4 に瞬時に大電流を流すことができるので、スイッチング時のスイッチングスピードが低減することはない。また、出力制限手段 4 は信号振幅を抑制する機能を有しているので、差動対 1 において電圧増幅利得を増大させても、出力波形が歪むことも、出力が非対象になることもない。

【0016】

【実施例】以下、図面を参照して、本発明の四つの実施例に係る差動増幅回路についてさらに詳細に説明する。

4

【0017】第 1 実施例 (請求項 1、請求項 2 に対応) 図 1 参照

図 1 は本発明の第 1 実施例に係る差動増幅回路の要部を示す回路図である。図 1 において、1 は差動対であり、エンハンスメント形 MESFET からなる第 1 の MESFET 11 のソースと第 2 の MESFET 12 のソースとが相互に接続されて SCFL (source coupled FET logic) 回路を構成している。14 は電流制御手段であり、ディプレッション形 MESFET からなる第 3 の MESFET 13 のゲートとソースとが短絡されて構成されている。そして、第 1 の MESFET 11 と第 2 の MESFET 12 とを流れる電流の合計値を定電流化するように、第 1 の MESFET 11 と第 2 の MESFET 12 との共通接続点であるソースに第 3 の MESFET 13 のドレインは接続され、第 3 の MESFET 13 のソースは第 3 の MESFET 13 のゲートと電源の  $V_{DD}$  とに接続されている。 $R_1$  と  $R_2$  とは、それぞれ、第 1 の MESFET 11 のドレインと第 2 の MESFET 12 のドレインとに接続される負荷抵抗であり、これらの負荷抵抗  $R_1 \cdot R_2$  の他端はショットキダイオード 15 を介して電源の 0 V に接続されている。

【0018】入力は、差動対 1 をなす第 1 の MESFET 11 のゲートと第 2 の MESFET 12 のゲートとにそれぞれ接続された入力端子 1<sub>1</sub> と反転入力端子 1<sub>2</sub> とから印加される。差動対 1 の相補出力は、第 1 の MESFET 11 のドレインと第 2 の MESFET 12 のドレインとの間に出力される。

【0019】2 はエンハンスメント形 MESFET からなる第 4 の MESFET 16 と第 5 の MESFET 17 とからなり、差動対 1 の相補出力を入力されて電流増幅する出力バッファ対であり、第 4 の MESFET 16 と第 5 の MESFET 17 とはそれぞれソースフォロアとして機能している。第 4 の MESFET 16 と第 5 の MESFET 17 とのそれぞれのドレインは、電源の 0 V に接続されている。そして、第 4 の MESFET 16 のソースは 2 個のショットキダイオード 15 と、ゲートとソースとが短絡されたディプレッション形 MESFET からなる第 6 の MESFET 18 との直列回路を介し、第 5 の MESFET 17 のソースは 2 個のショットキダイオード 15 と、ゲートとソースとが短絡されたディプレッション形 MESFET からなる第 7 の MESFET 19 との直列回路を介し、それぞれ、電源  $V_{DD}$  に接続されている。

【0020】出力バッファ対 2 の相補出力は、第 6 の MESFET 18 のドレインと第 7 の MESFET 19 のドレインとにそれぞれ接続された出力端子  $O_1$  と反転出力端子  $O_2$  とから取り出される。そして、出力端子  $O_1$  と反転出力端子  $O_2$  とをもって、出力バッファ対 2 の相補出力端子 3 が構成されている。4 は出力バッファ対 2 の相補出力の振幅を制限する出力制限手段であり、出力

端子 $O_1$ と反転出力端子 $O_2$ との間に接続される(請求項1に対応)。そして、制限される出力振幅は出力制限手段4を構成する素子の特性で決定される。

【0021】図1においては、出力制限手段4はショットキダイオード5の逆並列回路とされている(請求項2に対応)。この場合は、出力振幅はショットキダイオード5の順方向電圧である $\Delta V$ (約0.6V)に制限されるので、相補出力振幅は $2 \times \Delta V$ で制限される。

【0022】このように、出力制限手段4は、出力バッファ対2の相補出力端子3相互間に接続されており、出力バッファ対2の電流駆動能力は高いから、差動増幅回路をスイッチングした時、出力制限手段4にも瞬時に十分な電流が流れ、スイッチングスピードが低下することはない。

【0023】なお、本実施例ではMESFETを使用して説明したが、MESFETに限ることなくMOSFET等通常のFETにおいても同様の効果を発揮することは云うまでもない。このことは以下の実施例においても同様である。

【0024】第2実施例(請求項3に対応)

図2参照

図2は本発明の第2実施例に係る差動増幅回路の回路図である。第2実施例は第1実施例に比し、出力制限手段4が複数のショットキダイオード5を直列接続した組を逆並列接続してなることのみが異なる。

【0025】ショットキダイオード5を複数個直列接続することにより、相補出力振幅は $2 \times n \times \Delta V$ とすることができ(但し、 $n$ は直列接続した個数)、出力振幅を直列接続した個数分大きくすることができる。

【0026】第3実施例(請求項4に対応)

図3参照

図3は本発明の第3実施例に係る差動増幅回路の回路図である。第3実施例は第1実施例に比し、出力制限手段4がショットキダイオード5とゲートとソースとを短絡されたディプレッション形MESFETからなるFET6との直列接続した組を逆並列接続してあることのみが異なる。

【0027】制限される相補出力振幅は、第2実施例のように離散した値でなく、FET6のパラメータ(ゲート幅、しきい値等)を変えることにより、 $2 \times \Delta V$ より

【0028】第4実施例(請求項5に対応)

図4参照

図4は本発明の第4実施例に係る差動増幅回路の回路図である。第3実施例がFET6を使用しているのに代えて、第4実施例は抵抗7を使用していることのみが異なる。

【0029】制限される相補出力振幅は、ショットキダイオード5の順方向電圧と抵抗7の電圧降下との和にな

るので、抵抗7の値を変えることにより、 $2 \times \Delta V$ より大きい値とすることができる。

【0030】第5実施例(請求項6に対応)

上記の差動増幅回路を使用して、同一基板上に構成した差動形分周器を構成することによって、高周波の分周を容易に実施することができる。

【0031】

【発明の効果】以上説明したとおり、本発明に係る差動増幅回路においては、差動対の相補出力を出力バッファ対により電流増幅したあとの相補出力端子を構成する出力端子と反転出力端子との間に出力制限手段を配設することとされているので、出力バッファ対の電流出力は出力制限手段を駆動する能力が十分高いからスイッチングスピードが低下することはなく、電圧増幅利得が大きく出力の波形歪みの小さい差動増幅回路とすることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係る差動増幅回路の回路図である。

【図2】本発明の第2実施例に係る差動増幅回路の回路図である。

【図3】本発明の第3実施例に係る差動増幅回路の回路図である。

【図4】本発明の第4実施例に係る差動増幅回路の回路図である。

【図5】従来技術に係る差動増幅回路の回路図である。

【図6】従来技術に係る差動増幅回路の出力特性図である。

【図7】従来技術に係る差動増幅回路の他の回路図である。

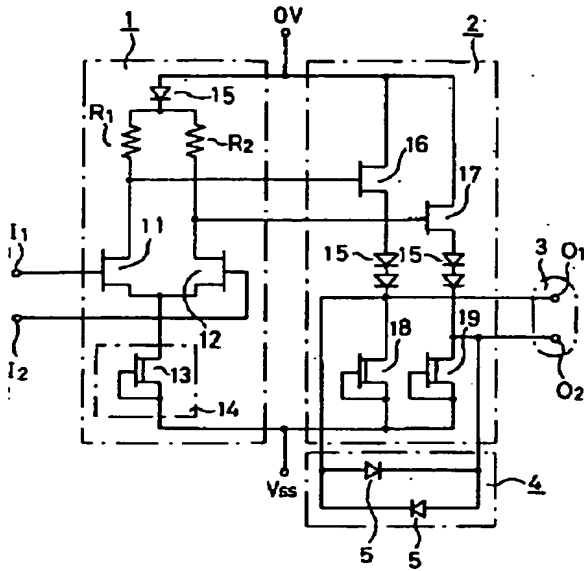
【符号の説明】

- 1 差動対
- 2 出力バッファ対
- 3 出力バッファ対の相補出力端子
- 4 出力制限手段
- 5 ショットキダイオード
- 6 FET
- 7 抵抗
- 8 差動対の相補出力端子
- 11 第1のMESFET
- 12 第2のMESFET
- 13 第3のMESFET
- 14 電流制御手段
- 15 ショットキダイオード
- 16 第4のMESFET
- 17 第5のMESFET
- 18 第6のMESFET
- 19 第7のMESFET

$R_1 \sim R_n$  負荷抵抗

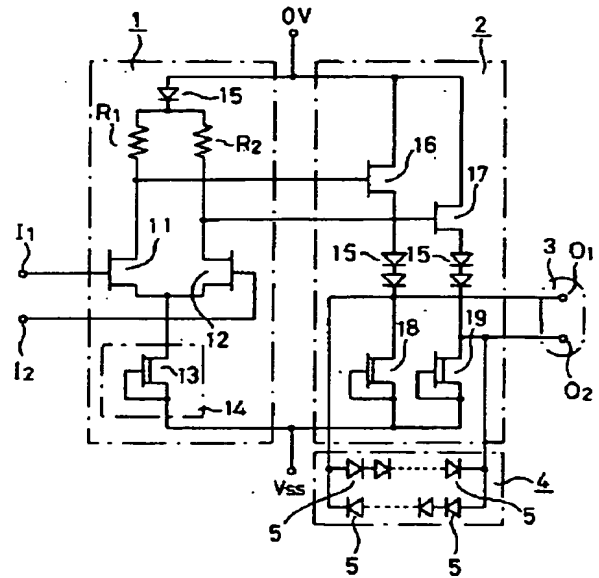
【図 1】

本発明（第 1 実施例）



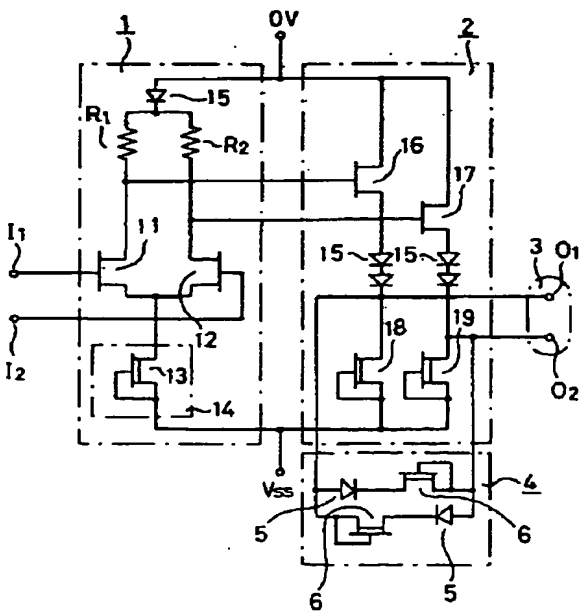
【図 2】

本発明（第 2 実施例）



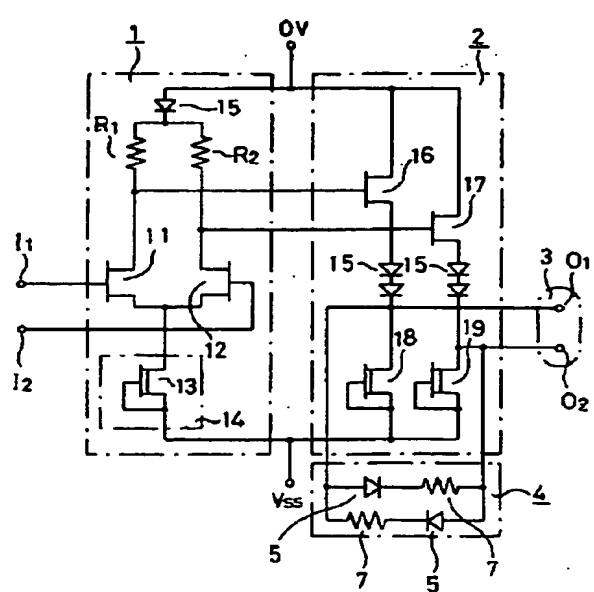
【図 3】

本発明（第 3 実施例）



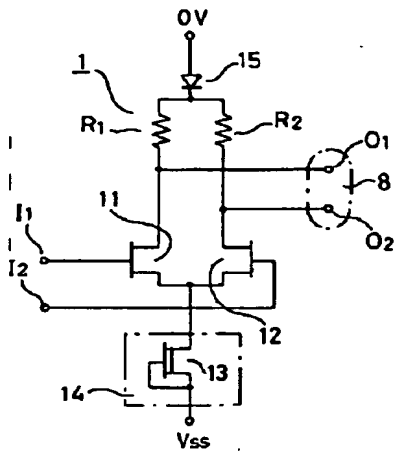
【図 4】

本発明（第 4 実施例）



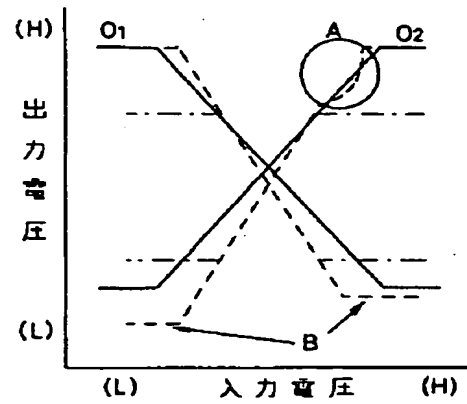
【図 5】

従来技術



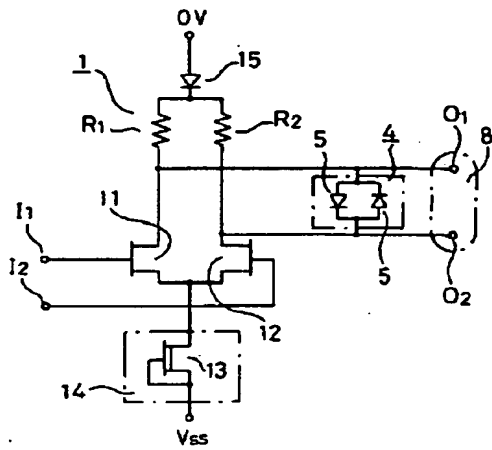
【図 6】

従来技術の特性



【図 7】

改良された従来技術



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**